



M-E 04.18.02

04 CO

COPY OF PAPERS
ORIGINALLY FILED

03 CO
#3

Docket No.: Z&P-INFN10176

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231, on the date indicated below.

By: Markus Nollf Date: March 13, 2002

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Gabriela Brase et al.
Applic. No. : 10/073,550
Filed : February 11, 2002
Title : Etching Process for a Two-Layer Metallization

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 199 37 994.7, filed August 11, 1999.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus Nollf
For Applicants

MARKUS NOLFF
REG. NO. 37,006

Date: March 13, 2002

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/bmb



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 199 37 994.7

Anmeldetag: 11. August 1999

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Erstanmelder: Siemens Aktiengesellschaft,
München/DE

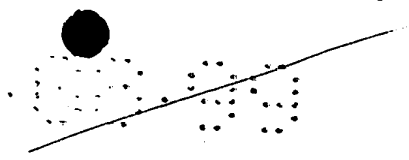
Bezeichnung: Ätzprozess für eine Zweischicht-Metallisierung

IPC: H 01 L 21/311

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 27. Februar 2002
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Hiebinger



5

Beschreibung

Ätzprozeß für eine Zweischicht-Metallisierung

- 5 Die Erfindung betrifft einen Ätzprozeß für eine Zweischicht-Metallisierung, bzw. Dual Damascene Strukturierung für eine Halbleiterstruktur mit in einem Substrat ausgebildeten Funktionselementen, einem auf dem Substrat befindlichen Dielektrikum, beispielsweise einer Oxidschicht und wobei die Ätz-
- 10 maske aus einem Photoresist besteht und zwischen der Ätzmaske und der Oxidschicht eine Polymer-Zwischenschicht eingefügt ist.

- Halbleiterstrukturen sind in der Regel mit einer Mehrebenen-
- 15 Metallisierung mit entsprechenden Leitbahnen ausgestattet, die über vertikale Zwischenverbindungen miteinander und/oder mit aktiven bzw. dotierten Elementen der Halbleiterstruktur verbunden sind. Die Herstellung der Leitbahnen und der Zwischenverbindungen erfolgt in mehreren Prozeßschritten, die
- 20 Abscheide-, Strukturierungs- und Ätzschritte umfassen.

- Ein übliches Verfahren zur Herstellung einer Zweiebenen-Metallisierung besteht darin, zunächst eine Verbindung zu einzelnen Funktionselementen der Halbleiterstruktur herzu-
- 25 stellen. Dazu wird mit Hilfe eines photolithographischen Prozesses gefolgt von einem Ätzschritt eine Öffnung durch die auf der Halbleiterstruktur befindliche Oxidschicht hergestellt, so daß die Position der Zwischenverbindung in der ersten Metallisierungsebene festgelegt ist. Diese Öffnung, die
- 30 sich vertikal durch die Halbleiterstruktur erstreckt, wird anschließend in einem Abscheideprozeß, z.B. einem CVD- oder Sputter-Verfahren mit einer dünnen Haftschrift, z.B. Titannitrid, und einem Metall, z.B. Wolfram, gefüllt. Da der Abscheideprozeß nicht nur auf die Öffnung begrenzt werden kann,
- 35 sondern eine Abscheidung auf der gesamten Oberfläche der Halbleiterstruktur erfolgt, muß das überschüssige Metall auf der Oberfläche beispielsweise durch einen sogenannten CMP-

Prozeß (chemisch-mechanisches Polieren) oder durch Rückätzen entfernt werden. Anschließend wird auf der vorhandenen Oxidschicht eine Metallisierung, z.B. aus Aluminium, aufgebracht, die dann photolithographisch strukturiert wird, um die gewünschte Leitbahnstruktur zu schaffen. Das erfolgt durch Aufbringen eines Photoresists aus dem photolithographisch eine Photoresist-Ätzmaske gebildet wird, so daß dann durch die Ätzmaske geätzt werden kann und schließlich die Leitbahnen übrigbleiben.

In einer bevorzugten Variante wird eine Oxidschicht ganzflächig, planar aufgebracht und das Negativ der Leitbahnen in der Oxidschicht erzeugt, indem zunächst auf dieser ein Photoresist aufgebracht wird, der dann photolithographisch strukturiert wird. Anschließend wird die Negativstruktur der Leitbahnen durch die Öffnungen im Photoresist in die Oxidschicht geätzt. In einem weiteren Schritt wird dann die Negativstruktur mit einem Liner und dann mit einem Metall, z.B. Aluminium oder Kupfer, gefüllt. Das überschüssige Metall wird danach ebenfalls durch einen CMP-Prozeßschritt entfernt.

Aus der US-A-5,801,094 geht beispielsweise ein Dual Damascene Verfahren hervor, bei dem die Metallisierung der Zwischenverbindungen zwischen Strukturelementen der Halbleiterstruktur und einer Leitbahnebene und die Metallisierung der Leitbahnen der Leitbahnebene in einem Schritt erfolgt. Die vorbereiteten Verfahrensschritte sind jedoch nach wie vor aufwendig. So wird auf dem Substrat zunächst eine Oxidschicht als Dielektrikum und anschließend eine Ätzstoppschicht aufgebracht. In diese Ätzstoppschicht werden an den Stellen, an denen Zwischenverbindungen realisiert werden sollen, nach dem photolithographischen Aufbringen einer Ätzmaske Öffnungen geätzt, so daß die darunter liegende Oxidschicht freigelegt wird. Auf der Ätzstoppschicht wird dann eine weitere Oxidschicht als Träger für die Leitbahnen einer Metallisierungsebene aufgebracht. Die Strukturierung der Negativform der Leitbahnen innerhalb der oberen Oxidschicht und der Negativform für die

Zwischenverbindungen erfolgt mit Hilfe der Photolithographie und nachfolgendem Ätzen. Bei dem Ätzvorgang werden in die obere Oxidschicht Öffnungen entsprechend der Ätzmaske geätzt, bis entweder die Ätzstoppschicht erreicht ist, oder an den
5 Stellen, wo die Ätzstoppschicht zur Realisierung der Zwischenverbindungen im Via unterbrochen ist, bis zur darunterliegenden, zu kontaktierenden Leitbahnen oder zum Substrat (Self Aligned Dual Damascene).

10 Nach dem Entfernen der Ätzmaske kann dann die Metallisierung erfolgen, indem die Gräben für die Leitbahnen und auch die Öffnungen für die Zwischenverbindungen gleichzeitig mit Metall gefüllt werden, wobei eine Metallabscheidung auch auf der sonstigen Oberfläche erfolgt. Dementsprechend muß danach
15 noch eine Planarisierung der Oberfläche, z.B. durch einen CMP-Prozeß erfolgen.

Weiterhin ist ein Verfahren bekannt, bei dem in einem ersten Prozeßschritt die Zwischenverbindungen strukturiert werden
20 (Photolithographie und Ätzprozeß) und die Leitbahnen in einem nachfolgenden Prozeßschritt (Photolithographie und Ätzprozeß) gebildet werden (sequentielles Dual Damascene). Dafür wird standardmäßig ein Photolithographieverfahren verwendet, bei dem unterhalb der Photoresistschicht eine Zwischenschicht aus
25 einem Polymer, d.h. eines ARC-Polymers als Antireflexions-schicht, einzufügen, um während der Belichtung des Photoresists Reflexionen auszuschließen und somit das reflektierte Licht zu minimieren und dadurch die Auflösung zu verbessern. Es handelt sich hierbei um einen Standard Photoprozeß für
30 sub-0,5 µm Technologien mit DUV-Belichtung. Derartige Antireflexionsschichten können aus organischen oder anorganischen Materialien bestehen.

Bei dem nach dem photolithographischen Schritt zur Ausbildung
35 der Ätzmaske erfolgenden Ätzen zum Öffnen der Oxidschicht zur Bildung z.B. eines Trenches führt diese Zwischenschicht jedoch zu Problemen. Die ARC-Polymerschicht wird beim photoli-

thographischen Prozeß nicht geöffnet. Deshalb muß der Ätzprozeß zur Strukturierung der Leitbahnen mit einem ARC Ätzschritt (Polymer-Etch) beginnen. Der zweite Schritt ist dann der Oxid Ätzschritt (normal Zweischrittprozeß). Das Problem
5 hierbei ist, daß die schon geöffneten Kontaktlöcher mit diesem ARC-Polymer gefüllt werden/sind.

Dabei ist eine Fencebildung nicht zu vermeiden. Unter einem Fence ist ein verhältnismäßig scharfkantig ausgebildeter Rand
10 zu verstehen, der als Rest der Zwischenschicht hervorsteht und die in die Oxidschicht geätzte Öffnung zumindest teilweise umgibt. Derartige Fences führen aber bei einem nachfolgenden Metallisierungsschritt dazu, daß die Auffüllung des Trenches erschwert wird und daß von den Fences mechanische Span-
15 nungen ausgehen können. Insbesondere stören derartige Fences bei der Al-Abscheidung durch Sputtern.

Bisher wurde versucht, die Fencebildung durch eine erhöhte Zugabe von Sauerstoff beim Leitbahnätzprozeß zu vermeiden,
20 wodurch der Aufbau einer schützenden Seitenwandpolymerschicht unterdrückt werden kann. Andererseits wird dadurch gleichzeitig die Photoresistseitenwand nicht mehr in ausreichendem Maße passiviert, so daß eine Aufweitung der kritischen Dimension die Folge ist. Ein anderer Lösungsansatz wäre die Anwen-
5 dung einer Hand Mask Strukturierung, was aber wegen der erhöhten Prozeßkomplexität unpraktikabel ist.

Der Erfindung liegt nunmehr die Aufgabe zugrunde, einen Ätzprozeß für eine Zweischicht-Metallisierung zu schaffen, der
30 einfach und kostengünstig auszuführen ist und mit dem sicher verhindert wird, daß während des Ätzprozesses Fences gebildet werden und mit dem gleichermaßen die Anforderungen an einen guten ARC-Open-Prozeß erfüllt werden.

35 Die der Erfindung zugrundeliegende Aufgabenstellung wird dadurch gelöst, daß das Ätzen der Oxidschicht und der Polymer-Zwischenschicht für die Dual Damascene Strukturierung durch

einen CF_4 -ARC Open Prozeß mit hoher Selektivität zum Photore-sist mit verlängerter Ätzzeit erfolgt.

Ein Vorteil dieses erfindungsgemäßen Ätzprozesses ist darin zu sehen, daß die Polymere im Via gleichzeitig mit dem Oxid auf Trench-Tiefe geätzt werden, so daß keine Fence gebildet werden können. ARC Open- und Oxid-Ätzung erfolgen in einem Schritt, um die Leitbahnen fencefrei zu strukturieren. Damit ist es möglich, mit einem kostengünstigen und einfach in der Fertigung umsetzbaren Ätzprozeß die Dual Damascene Strukturierung vorzunehmen, wobei gleichzeitig ein Ätzprofil erhalten wird, welches den Einsatz kostengünstiger PVD Metall Füllverfahren erleichtert.

Weiterhin wird die Ätzzeit gegenüber einem herkömmlichen O_2/N_2 ARC Open Prozeß mindestens verdoppelt, so daß die Polymere im Via reduziert werden können. Die Ätzzeit beträgt in Abhängigkeit von den sonstigen Prozeßparametern bevorzugt ca. 140 Sekunden.

Der gesamte Ätzprozeß erfolgt in einer Ätzkammer mit Plasmaunterstützung, wobei die RF-Leistung bevorzugt ca. 600 Watt beträgt.

Weiterhin wird der CF_4 ARC Open/Oxid Prozeß durch einen Anteil von CHF_3 unterstützt, wobei der CF_4 -Fluß während des ARC Open/Oxid Prozesses auf ca. 40 sccm und der CHF_3 -Fluß auf ca. 20 sccm eingestellt ist.

Die Erfindung soll nachfolgend an einem Ausführungsbeispiel näher erläutert werden. In den zugehörigen Zeichnungsfiguren zeigen:

Fig. 1: einen Ausschnitt aus einer Halbleiterstruktur mit einer vorbereiteten Ätzmaske und einer zwischen Oxidschicht und Ätzmaske befindlichen Polymerschicht; und

Fig. 2: eine Halbleiterstruktur mit einer Zweischicht-Metallisierung, bestehend aus einer Leitbahnebene und einer Zwischenverbindung zwischen Leitbahnebene und dem Substrat der Halbleiterstruktur.

5

Der in Fig. 1 dargestellte Ausschnitt aus einer Halbleiterstruktur zeigt ein Substrat 1 aus Silizium mit einem in diesem befindlichen dotierten Bereich 2, der ein Funktionselement der Halbleiterstruktur darstellt. Über diesem Substrat 1 befindet sich eine Oxidschicht 3, die mit einer Öffnung 9 zur Aufnahme einer Metallisierung 8 versehen ist und die als Zwischenverbindung 6 den dotierten Bereich 2 mit einer Leitbahnebene 7 verbindet (Fig. 2).

10

15

Die Herstellung der Öffnung 9 erfolgt mit Hilfe des nachfolgend beschriebenen Ätzprozesses. Dazu wird zunächst auf der Oxidschicht 3 eine Polymer-Zwischenschicht 4 aufgebracht und auf dieser mit einem üblichen photolithographischen Verfahren eine Ätzmaske 5, bestehend aus einem Photoresist, hergestellt. Die Polymer-Zwischenschicht 4 soll Reflexionen während der Belichtung des Photoresists verhindern bzw. reduzieren. Bei der nachfolgenden Durchätzung der Oxidschicht 3 muß zunächst die Polymer-Zwischenschicht 4 entfernt werden. Das erfolgt durch den CF_4 ARC Open Prozeß, der eine wesentlich höhere Selektivität zum Photoresist hat.

20

25

Weiterhin wird die Ätzzeit gegenüber einem herkömmlichen O_2/N_2 ARC Open Prozeß mindestens verdoppelt, so daß Oxid und Polymere auf Trench Tiefe geätzt werden können.

30

Für den CF_4 ARC Open Ätzprozeß sind folgende Parameter besonders günstig, um eine Trench-Ätzung ohne Bildung von Fences zu erreichen:

35

10.99

11

7

	Parameter	Wert	Einheit
	RF Leistung	550 - 650 (600)	Watt
	Druck	80 - 120 (100)	mTorr
5	He Backside		
	Pressure	26	Torr
	Magnetfeld	0	Gauss
	CF ₄ Fluß	35 - 45 (40)	sccm
	CHF ₃ Fluß	17 - 23 (20)	sccm
10	Ar Fluß	80 - 120 (100)	sccm
	O ₂ Fluß	5 - 7 (6)	sccm
	Ätzzeit	140	s

15 Bei den in Klammer angegebenen Werten handelt es sich um beispielhafte empfohlene Werte, die in den angegebenen Grenzen variabel sind.

20 Nach dem Durchlauf des ARC Open Ätzprozesses mit den angegebenen Parametern kann dann die Metallisierung erfolgen, indem die Öffnung 9 im Oxid durch ein PVD Füllverfahren wie üblich gefüllt wird, wobei gleichzeitig die gewünschte Zwischenverbindung 6 zwischen dem dotierten Bereich 2 und der Leitbahnebene 7 und diese selbst hergestellt wird.

Bezugszeichenliste

- 1 Substrat
- 2 dotierter Bereich
- 3 Oxidschicht
- 4 Polymer-Zwischenschicht
- 5 Ätzmaske
- 6 Zwischenverbindung
- 7 Leitbahnebene
- 8 Metallisierung
- 9 Öffnung

Patentansprüche

1. Ätzprozeß für eine Zweischicht-Metallisierung, bzw. Dual Damascene Strukturierung für eine Halbleiterstruktur mit
5 in einem Substrat ausgebildeten Funktionselementen, einem auf dem Substrat befindlichen Dielektrikum, beispielsweise einer Oxidschicht und wobei die Ätzmaske aus einem Photoresist besteht und zwischen der Ätzmaske und der Oxidschicht eine Polymer-Zwischenschicht eingefügt ist,
10 d a d u r c h g e k e n n z e i c h n e t, daß das Ätzen der Oxidschicht und der Polymer-Zwischenschicht für die Dual Damascene Strukturierung durch einen CF_4 ARC Open Prozeß mit hoher Selektivität zum Photoresist mit verlängerter Ätzzeit erfolgt.
- 15 2. Ätzprozeß nach Anspruch 1, d a d u r c h g e k e n n z e i c h n e t, daß die Ätzzeit gegenüber einem O_2/N_2 ARC Open Prozeß mindestens verdoppelt wird.
- 20 3. Ätzprozeß nach Anspruch 2, d a d u r c h g e k e n n z e i c h n e t, daß die Ätzzeit in Abhängigkeit von der Ätztiefe ca. 140 s beträgt.
4. Ätzprozeß nach den Ansprüchen 1 bis 3, d a d u r c h
5 g e k e n n z e i c h n e t, daß der Ätzprozeß in einer Ätzkammer mit Plasmaunterstützung erfolgt.
5. Ätzprozeß nach Anspruch 4, d a d u r c h g e k e n n z e i c h n e t, daß der Ätzprozeß mit einer RF-Leistung
30 von ca. 600 Watt vorgenommen wird.
6. Ätzprozeß nach den Ansprüchen 1 bis 5, d a d u r c h g e k e n n z e i c h n e t, daß der CF_4 ARC Open Prozeß durch einen Anteil von CHF_3 unterstützt wird.
- 35 7. Ätzprozeß nach einem der Ansprüche 1 bis 6, d a d u r c h g e k e n n z e i c h n e t, daß der CF_4 -Fluß während des

9

ARC Open Prozesses auf ca. 40 sccm und der CHF₃-Fluß auf ca. 20 sccm eingestellt ist.



3

Zusammenfassung

Ätzprozeß für eine Zweischicht-Metallisierung

- 5 Die Erfindung betrifft einen Ätzprozeß für eine Zweischicht-Metallisierung, bzw. Dual Damascene Strukturierung, der einfach und kostengünstig auszuführen ist und mit dem sicher verhindert wird, daß sich während des Ätzprozesses im Bereich der Polymer-Zwischenschicht Fences bilden. Erfindungsgemäß
- 10 erfolgt das dadurch, daß das Ätzen der Oxidschicht und der Polymer-Zwischenschicht für die Dual Damascene Strukturierung durch einen CF_4 ARC Open Prozeß mit hoher Selektivität zum Photoresist mit verlängerter Ätzzeit erfolgt.

15 Fig. 1

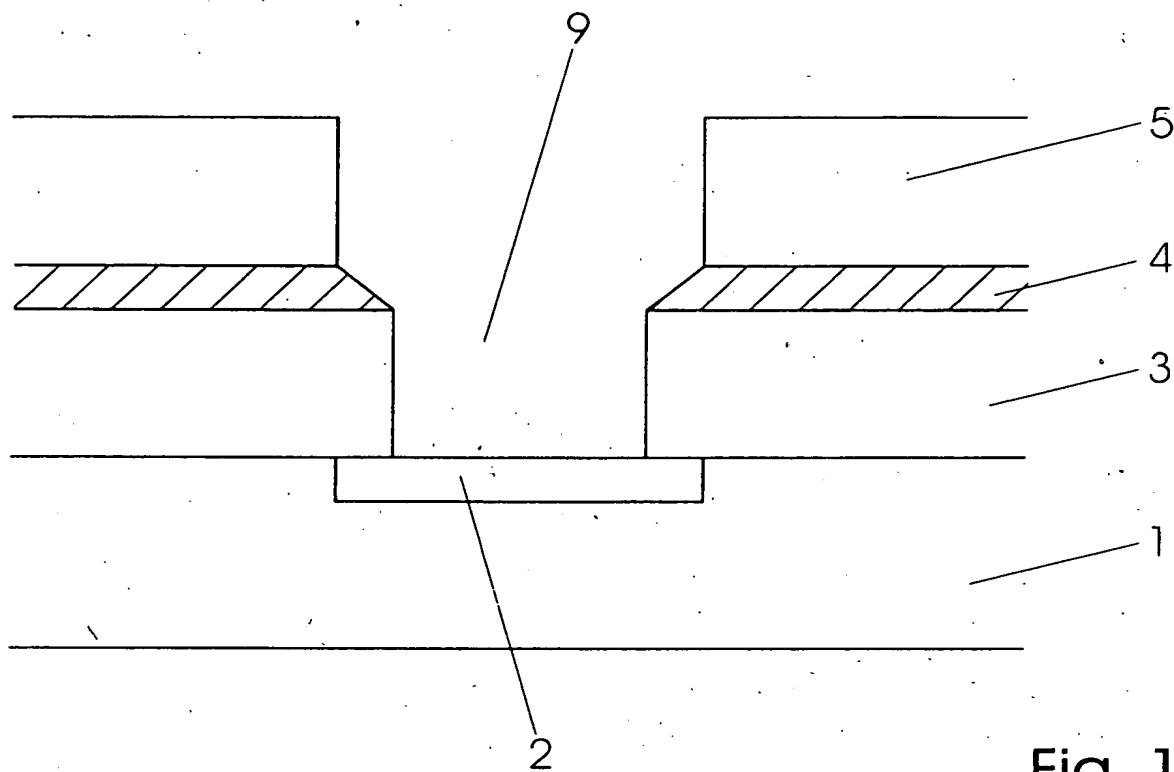


Fig. 1

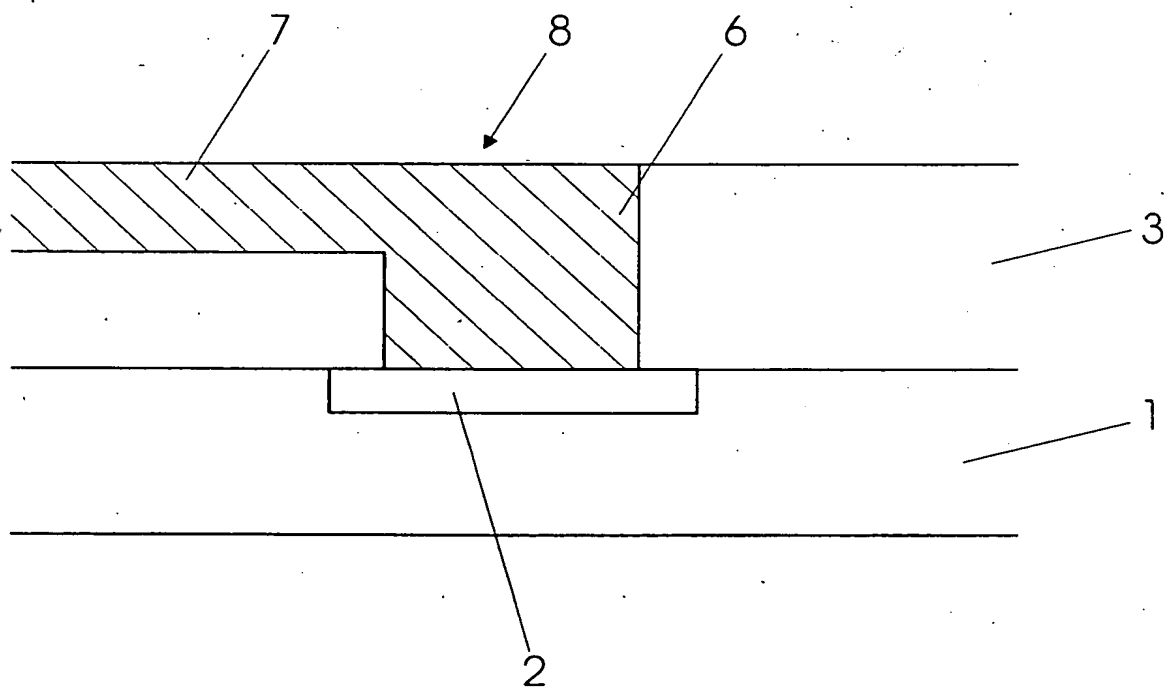


Fig. 2

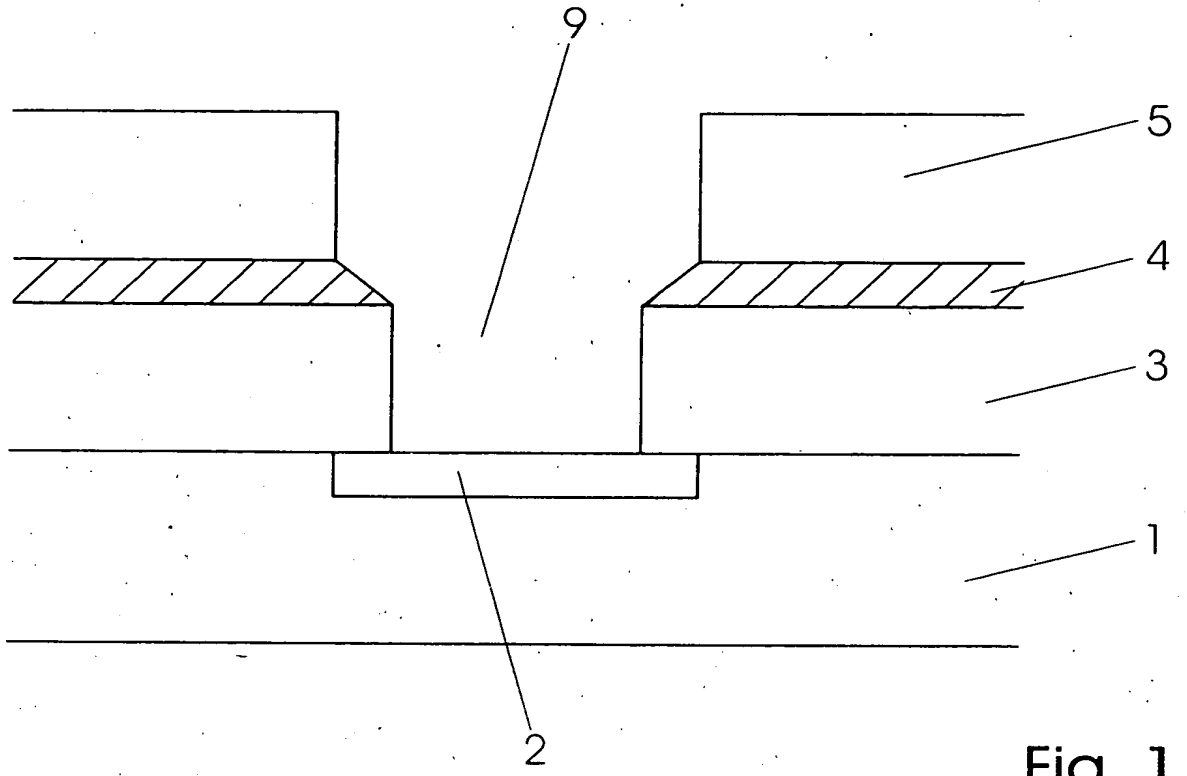


Fig. 1

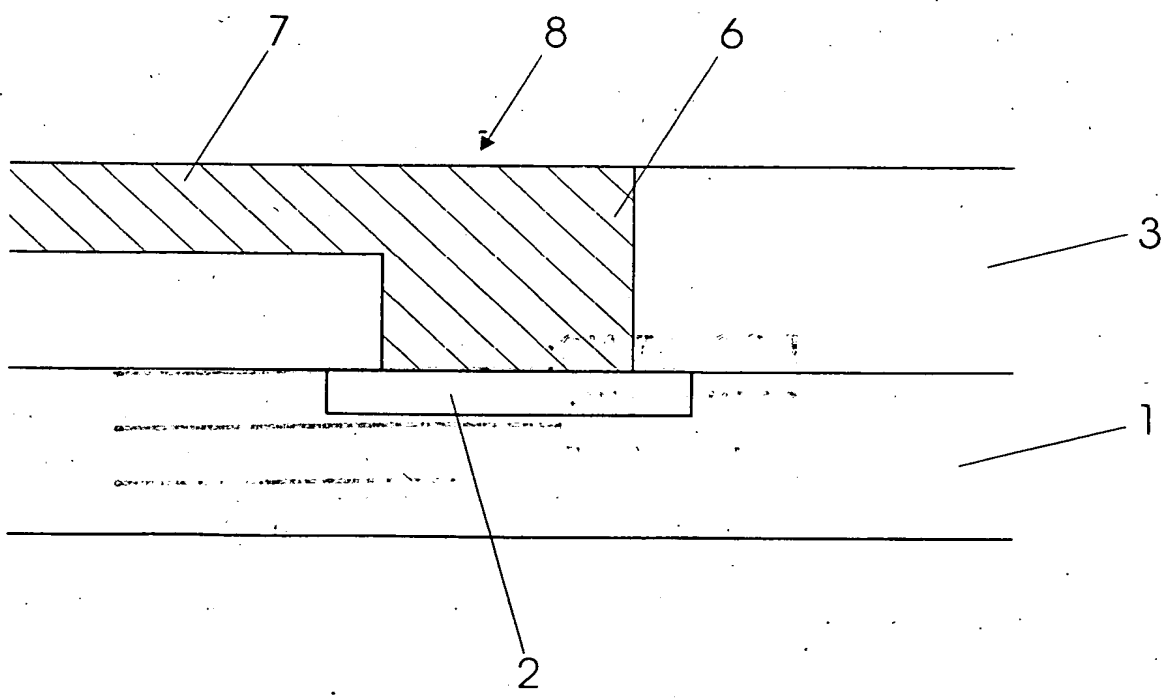


Fig. 2